

Docket No.: K-0361PATENT

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Jae Young PARK

New U.S. Patent Application

Filed: December 19, 2001

For: SYNCHRONOUS TRANSPORT MODULE

JC978 U.S. PTO  
10/021440  
12/19/01TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTAssistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P2000-78487, filed December 19, 2000.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLPDaniel Y.J. Kim  
Registration No. 36,186  
David W. Ward  
Registration No. 45,198P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440**Date: December 19, 2001**

DYK/DWW:tmd



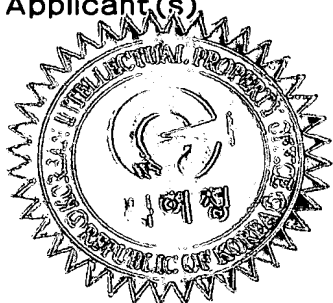
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2000년 제 78487 호  
Application Number PATENT-2000-0078487

출원 년 월 일 : 2000년 12월 19일  
Date of Application DEC 19, 2000

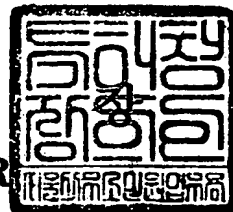
출원인 : 엘지전자주식회사  
Applicant(s) LG ELECTRONICS INC.



2001 년 10 월 16 일

특 허 청

COMMISSIONER



**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2000. 12. 19
【국제특허분류】	H04L
【발명의 명칭】	동기전송모듈 ( S T M ) 링크 포트 이중화 장치
【발명의 영문명칭】	Apparatus for duplexing link port Synchronous Transport Module
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2000-005155-0
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2000-005154-2
【발명자】	
【성명의 국문표기】	박재영
【성명의 영문표기】	PARK, Jae Young
【주민등록번호】	730202-1046514
【우편번호】	120-100
【주소】	서울특별시 서대문구 홍은동 188-29 삼성빌라 라-311
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)

1020000078487

출력 일자: 2001/10/17

【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 3 항 205,000 원

【합계】 234,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

다수의 동기전송모듈 포트의 이중화가 가변적으로 가능한 보드내 동기전송 모듈 포트 이중화 장치에 관한 것으로, 유토피아 레벨 2 인터페이스를 제공하는 유토피아 인터페이스 칩으로부터 전송된 데이터의 어드레스를 변환하여 유토피아 피포로 전송하고, 이중화 구성된 버스 매칭 피포 중 어느 하나의 버스 매칭 피포에서 전송된 데이터의 어드레스를 변환하여 상기 유토피아 인터페이스 칩으로 전송하는 유토피아 레벨 2 인터페이스 제어부와, 상기 유토피아 레벨 2 인터페이스 제어부에서 전송된 데이터를 유토피아 레벨 1의 데이터로 변환하여 이중화 또는 싱글화 구성된 동기전송모듈(STM) 인터페이스 칩 중 상기 어드레스 변환결과에 따른 어느 하나의 동기전송모듈 인터페이스 칩으로 전송하는 유토피아 피포와, 상기 동기전송모듈 인터페이스 칩에서 전송된 유토피아 레벨 1의 데이터를 유토피아 레벨 2 데이터로 변환하여 상기 유토피아 레벨 2 인터페이스 제어부로 전송하는 이중화된 버스 매칭 피포와, 상기 유토피아 레벨 2 인터페이스 제어부에서 변환되는 어드레스를 제어하는 프로세서로 구성된다.

**【대표도】**

도 2

**【색인어】**

STM-1 포트 이중화

【명세서】

【발명의 명칭】

동기전송모듈(S T M) 링크 포트 이중화 장치{Apparatus for duplexing link port Synchronous Transport Module}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 동기전송모듈 레벨 1(STM-1) 포트 이중화 장치를 나타낸 블록 구성도

도 2는 본 발명에 따른 동기전송모듈 레벨 1(STM-1) 포트 이중화 장치를 나타낸 블록 구성도

\*도면의 주요 부분에 대한 부호의 설명\*

20,21 : 제 1, 제 2 동기전송모듈 레벨 1(STM-1) 인터페이스 칩

22 : 유토피아(UTOPIA : Universal Test and Operation and Physical Interface for ATM) 피포(FIFO)

23,24 : 제 1, 제 2 버스 매칭 피포(FIFO)

25 : 유토피아 레벨 2 인터페이스 제어부

26 : 프로세서

27 : 유토피아 인터페이스 칩

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 보드내 동기전송모듈(Synchronous Transport Module) 포트 이중화에 관한 것으로, 특히 다수의 동기전송모듈 레벨 1 링크 포트(STM-1 link port)의 이중화가 포트별로 가변적으로 가능하기에 적당하도록 한 보드내 동기전송모듈(STM) 포트 이중화 장치에 관한 것이다.
- <10> 멀티미디어 분야의 비약적인 성장과 더불어 영상신호와 같이 광대역의 신호를 디지털 방식으로 전송하기 위한 통신망이 요구되면서 B-ISDN이 등장하였고, B-ISDN의 등장으로 사용자의 다양한 서비스 요구를 충족시킬 수 있게 되었으며, 특히 동화상 전송이 가능하게 되어 미래 정보화 사회의 꿈을 실현할 수 있는 기반이 되었다.
- <11> 이러한 B-ISDN은 비동기 전송 모드(ATM) 교환기술을 필요로 하는데, ATM은 셀(Cell)이라는 고정길이(53바이트)의 정보 블록을 ATDM 방식을 이용하여 전달한다.
- <12> 이러한 ATM을 이용하는 경우 ATM 통신 장치는 다양한 전송매체를 사용할 수 있도록 융통성을 부여하기 위하여 ATM 계층과 물리계층 사이에 표준적인 접속 프로토콜을 정해놓고, 물리계층이 다양한 형태로 구현되더라도 이 프로토콜을 따르면 SAR(Segmentation And Reassembly Sublayer) 계층과 쉽게 접속할 수 있도록 하였다. 즉, 유토피아(UTOPIA : Universal Test & Operation & Physical

Interface for ATM)는 ATM 계층과 물리계층을 접속하기 위하여 정한 표준 인터페이스방식인데, 이러한 유토피아 인터페이스 표준은 ATM 계층과 물리계층간 공통적이고, 표준화된 인터페이스를 규정함으로써 비용절감 효과를 얻고, 속도가 다른 ATM 및 물리계층 디바이스들간에 피포(FIFO)를 사용할 수 있도록 하며, 100Mbps로부터 155Mbps까지의 레이트를 8비트 데이터 패스의 공통 인터페이스로 지원한다.

<13> 유토피아 인터페이스 표준은 응용에 따라 적합하게 선택 사용할 수 있도록 유토피아 레벨 1과 유토피아 레벨 2로 구분되어 있는데, 여기서 유토피아 레벨 1은 8비트 데이터의 전송을 기본으로 하고 있으며, 유토피아 레벨 2는 16비트 데이터의 전송을 기본으로 하고 있다.

<14> 일반적으로 기존 보드(board)내 동기전송모듈 레벨 1(이하 STM-1) 링크 포트 이중화는 특정 블록이 이중화로 고정되어지며, 기존 보드간 다수의 링크 이중화를 위해선 링크 별로 알람 신호등의 상태 정보를 전송한다.

<15> 이하 첨부된 도면을 참조하여 종래 기술에 따른 STM-1포트 이중화 방법을 설명하기로 한다.

<16> 도 1은 종래 기술에 따른 STM-1 포트 이중화 장치를 나타낸 블록 구성도이다.

<17> 종래 기술에 따른 STM-1 포트 이중화 시스템은 특정 블록이 이중화로 고정되는 형태이다.



<18> 종래 기술에 따른 STM-1 포트 이중화 시스템은 도 1에 나타난 바와 같이 비 동기 전송 모드(이하, ATM) 셀을 프로세싱(processing) 하는 칩으로써 유토피아 레벨 2 인터페이스(UTOPIA level 2 I/F)인 유토피아 인터페이스 칩(16)과, 유토피아 인터페이스 칩(16)에서 전송된 ATM 셀을 선입선출(FIFO) 방식에 따라 송신(Tx) 버퍼(12)로 전송하는 유토피아 피포(FIFO)(14)와, 상기 유토피아 피포(14)에서 전송된 ATM 셀을 유토피아 인터페이스 규격을 구성하는 제어신호 및 데이터 신호(SOC, TCA, RCA, RXEN, TXEN, 8비트 데이터)에 따라 이중화된 STM-1 인터페이스 칩(10,11) 중 어느 하나의 STM-1 인터페이스 칩(10,11)으로 전송하는 송신 버퍼(12)와, 상기 송신버퍼(12)에서 전송된 ATM 셀을 155Mbps로 전송하거나, 수신된 ATM 셀을 수신(Rx)버퍼(13)로 전송하는 STM-1 인터페이스 칩(10,11)과, STM-1 인터페이스 칩(10,11)에서 전송된 ATM 셀을 수신하여 제어신호 및 데이터 신호에 따라 버스 매칭 피포(15)로 전송하는 수신버퍼(13)와, 상기 수신버퍼(13)에서 수신된 8비트 병렬 데이터를 16비트로 변환하여 유토피아 인터페이스 칩(16)으로 전송하는 버스 매칭 피포(15)로 구성된다.

<19> 여기서, 유토피아(UTOPIA : Universal Test & Operation & Physical Interface for ATM)는 STM-1 링크와 같은 하위 계층인 물리계층과 ATM 계층과 같은 상위 계층 사이의 인터페이스 규격으로써, 유토피아 레벨 2 인터페이스는 ATM 계층과 16개의 물리계층과의 인터페이스가 가능하고, 유토피아 레벨 1 인터페이스는 ATM 계층과 물리계층과의 1대1 인터페이스가 가능하다.

<20> 그리고 버스 매칭 피포(15)는 STM-1 인터페이스 칩(10,11)으로부터 수신버퍼(13)를 거쳐 들어오는 8비트 ATM 셀 데이터를 16비트 ATM 셀 데이터로 변환하

여 출력한다. 여기서 STM-1 인터페이스 칩(10,11)은 8비트의 병렬 데이터를 차분(differential) 신호로 변환하여 155Mbps로 전송한다.

<21> 이와 같은 종래 STM-1 포트 이중화 시스템에서의 포트 이중화는 다음과 같다.

<22> 유토피아 인터페이스 칩(16)으로부터 ATM 셀이 STM-1 인터페이스 칩으로 전송될 때 유토피아 인터페이스 규격에 따라 전송된다. 이때 STM-1 인터페이스 칩은 전송 신뢰도를 높이기 위하여 도 1에 나타낸 바와 같이 제 1, 제 2 STM-1 인터페이스 칩(10,11)의 이중화로 구성된다. 그리고 유토피아 인터페이스 규격을 구성하는 제어신호와 데이터 신호(SOC,TCA,RCA,RXEN,TXEN 및 8비트 데이터)의 송수신은 송신 버퍼(12)와 수신 버퍼(13)를 통해 제 1 또는 제 2 STM-1 인터페이스 칩(10,11)으로 전송된다.

<23> 이와 같이 구성된 이중화 시스템에서 평상시에는 송수신 버퍼(12,13)에 제어 신호를 이용해 제 1 STM-1 인터페이스 칩(10)과 연결된 경로(path)만을 열어 놓고, 제 2 STM-1 인터페이스 칩(11)과 연결된 경로(path)는 닫아 놓는다. 이와 같은 상태에서 보드를 운용하는 중에 제 1 STM-1 링크에 페일(fail)이 발생하는 경우 제 1 STM-1 인터페이스 칩(10)에서는 알람(Alarm) 신호가 발생하고, 제 1 STM-1 인터페이스 칩(10)에서 알람신호가 발생하면, 제 1 STM-1 인터페이스 칩(10)과 송수신 버퍼(12,13)간 링크는 끊어지고, 제 2 STM-1 인터페이스 칩(11)과 송수신 버퍼(12,13)간 링크로 절체된다.

<24> 이와 같은 구성을 갖는 종래 STM-1 포트 이중화 장치는 다음과 같은 문제점이 있었다.

<25> 첫째, 유토피아 레벨 2 인터페이스 칩에서 STM-1 인터페이스 칩으로 데이터(ATM 셀)를 송신하는 경우, 유토피아 레벨 2 인터페이스 칩에서 송신된 데이터의 어드레스에 따라 이중화 구성된 STM-1 인터페이스 칩 중 어느 하나의 칩으로 데이터가 전송되는데, STM-1 인터페이스 칩이 이중화로 고정되어 있으므로 링크를 효율적으로 관리할 수 없다.

<26> 둘째, STM-1 인터페이스 칩에서 유토피아 레벨 2 인터페이스 칩으로의 데이터를 수신하는 경우에 버스 매칭 피포가 수신버퍼를 통해 STM-1 인터페이스 칩에서 수신된 데이터를 전송받게 되므로 수신버퍼에 패일(Fail)이 발생하는 경우 데이터 수신에 문제가 발생할 수 있었다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명의 목적은 이상에서 언급한 종래 기술의 문제점을 감안하여 안출한 것으로서, 보드내 다수의 STM-1 링크의 이중화 및 싱글화를 포트별로 가변적으로 할 수 있는 동기전송모듈(STM) 포트 이중화 장치를 제공하는데 있다.

<28> 이상과 같은 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 유토피아 레벨 2 인터페이스(UTOPIA Level 2 Interface)를 제공하는 유토피아 인터페이스 칩(chip)으로부터 전송된 N비트 데이터의 어드레스를 변환하여 유토피아 피포(FIFO)로 전송하고, 이중화 구성된 버스 매칭(BUS Matching) 피포 중 어느 하나의 버스 매칭 피포에서 전송된 N비트 데이터의 어드레스를 변환하여 상기 유토피아 인터페이스 칩으로 전송하는 유토피아 레벨 2 인터페이스 제어부와, 상기 유토피아 레벨 2 인터페이스 제어부에서 전송된 N비트 데이터를 유토피아 레벨 1의 N/2비트 데이터로 변환하여 이중화 또는 싱글화 구성된 동기전송모듈 레벨 1 인

터페이스 칩 중 상기 어드레스 변환결과에 따른 어느 하나의 동기전송모듈 레벨 1 인터페이스 칩으로 전송하는 유토피아 피포와, 상기 동기전송모듈 레벨 1(STM-1) 인터페이스 칩에서 전송된 유토피아 레벨 1의 N/2비트 데이터를 유토피아 레벨 2 데이터로 변환하여 상기 유토피아 레벨 2 인터페이스 제어부로 전송하는 이중화된 버스 매칭 피포와, 상기 유토피아 레벨 2 인터페이스 제어부에서 변환되는 어드레스를 제어하는 프로세서로 구성된다.

【발명의 구성 및 작용】

<29> 이하 본 발명의 바람직한 일 실시 예에 따른 구성 및 작용을 첨부된 도면을 참조하여 설명한다.

<30> 도 2는 본 발명에 따른 동기전송모듈 레벨 1(STM-1) 포트 이중화 장치를 나타낸 블록 구성도이다.

<31> 본 발명에 따른 동기전송모듈 레벨 1 포트 이중화 장치는 유토피아 레벨 2 인터페이스(UTOPIA Level 2 Interface)를 제공하는 유토피아 인터페이스 칩(chip)(27)으로부터 전송된 16비트 데이터(ATM 셀)의 어드레스를 변환하여 유토피아 피포(FIFO)(22)로 전송하고, 이중화 구성된 버스 매칭(BUS Matching) 피포(FIFO)(23,24) 중 어느 하나의 버스 매칭 피포(FIFO)에서 전송된 16비트 데이터의 어드레스를 변환하여 상기 유토피아 인터페이스 칩(27)으로 전송하는 유토피아 레벨 2 인터페이스 제어부(25)와, 상기 유토피아 레벨 2 인터페이스 제어부(25)에서 전송된 16비트 데이터를 유토피아 레벨 1의 8비트 데이터로 변환하여 이중화 또는 싱글화로 구성된 동기전송모듈 레벨 1(STM-1) 인터페이스 칩(20,21) 중 상기 어드레스 변환결과에 따른 어느 하나의 동기전송모듈 레벨 1 인터페이스

칩으로 전송하는 유토피아 피포(22)와, 상기 동기전송모듈 레벨 1(STM-1) 인터페이스 칩(20,21)에서 전송된 유토피아 레벨 1의 8비트 데이터를 유토피아 레벨 2 데이터로 변환하여 상기 유토피아 레벨 2 인터페이스 제어부(25)로 전송하는 이중화된 버스 매칭 피포(23,24)와, 상기 유토피아 레벨 2 인터페이스 제어부(25)에서 변환되는 어드레스를 제어하는 프로세서(26)로 구성된다.

<32> 우선, 유토피아 인터페이스 칩(27)에서 제 1 또는 제 2 STM-1 인터페이스 칩(20,21)으로의 송신과정을 설명한다.

<33> 이때, 유토피아 인터페이스 칩(27)은 ATM 셀을 처리(Processing)하는 칩으로써 유토피아 레벨 2 인터페이스를 제공한다.

<34> 유토피아 인터페이스 칩(27)에서 제 1 또는 제 2 STM-1 인터페이스 칩(20,21)을 포함한 복수개의 STM-1 인터페이스 칩으로 송신(Tx)되는 ATM 셀(이하 데이터라 함)은 32개로 구성되는 STM-1 인터페이스 칩중 어느 STM-1 인터페이스 칩으로 송신되어야 할지가 각각의 데이터의 어드레스를 참조하여 전송되는데, 송신될 STM-1 인터페이스 칩(링크)에 페일(fail)이 발생한 경우 유토피아 인터페이스 제어부(25)에서 프로세서(26)의 제어를 받아 유토피아 인터페이스 칩(27)에서 송신된 데이터의 어드레스를 변환시킨다. 여기서 데이터의 어드레스 변환은 32개의 STM-1 인터페이스 칩의 이중화와 관련된 것으로, 본 발명에서는 STM-1 인터페이스 칩 2개를 한 개의 쌍(Pair)으로 묶는 개념으로 하나의 유토피아 인터페이스 제어부(25)는 복수개의 STM-1 인터페이스 칩을 관리한다. 이때, 8개의 STM-1 인터페이스 칩, 즉 4쌍의 STM-1 인터페이스 칩을 관리하는 경우를 예로 들면, 유토피아 인터페이스 제어부(25)는 이중화 레지스터(Register)가 8비트(bit)로 구

현되어야 한다. 상기 8비트는 4쌍의 STM-1 인터페이스 칩의 이중화/싱글화 여부에 4비트가 사용되고, 이중화시 어떤 링크의 STM-1 인터페이스 칩의 액티브/스탠바이(Active/Standby) 여부를 결정하기 위하여 4비트가 사용된다.

<35> 또한 유토피아 레벨 2 인터페이스에서는 총 5비트 어드레스를 사용하여 상  
기 32개의 STM-1 인터페이스 칩과 링크를 연결한다.

<36> 여기서 5비트 어드레스를 사용자 인터페이스 제어부(25)에 통과시켜 각 링  
크당 맵핑된 어드레스를 각 링크당 맵핑된 유토피아 피포(22)에 연결하면 유토피  
아 피포(22)는 해당 어드레스에만 데이터를 적어 해당 STM-1 인터페이스 칩에  
ATM 셀을 송신한다. 이때 어드레스 변환 방식은 쌍(Pair)으로만 묶게 된다면 맨  
마지막 비트만을 변화시킴으로서 구현 가능하다. 그리고 유토피아 인터페이스  
제어부는 프로그램 가능 논리소자(Programmable Logic Device)를 사용하여 구현  
가능하다.

<37> 예를 들어 0번 링크와 1번 링크를 첫 번째 쌍(pair) 개념으로 볼 때, 0번  
링크 어드레스는 '0000'이고, 1번 링크는 '00001'이 된다. 그리고 2번 링크와 3  
번 링크가 두 번째 쌍(pair)을 이룰 때 2번 링크는 '00010'이고 3번 링크는  
'00011'이 된다.

<38> 그리고 첫 번째 쌍(제 1, 제 2 STM-1 인터페이스 칩(20,21))이 이중화 쌍,  
두 번째 쌍(제 3, 제 4 STM-1 인터페이스 칩(도시하지 않음))이 싱글화 쌍인 경  
우 유토피아 인터페이스 칩(27)이 논리적으로 제 1 STM-1 인터페이스 칩(20), 제  
3 및 제 4 STM-1 인터페이스 칩(도시하지 않음)에 ATM 셀을 송신한다고 가정하  
는 상태에서 첫 번째 쌍의 0번 링크(제 1 STM-1 인터페이스 칩(20))가 페일

(fail)이 발생한 경우, 제 1 STM-1 인터페이스 칩(20)은 알람을 발생시키고, 프로세서(26)는 제 1 STM-1 인터페이스 칩(20)에서 발생한 알람을 읽어 유포피아 인터페이스 제어부(25)를 통해 제 1, 제 2 STM-1 인터페이스 칩(20,21)을 이중화 쌍으로 설정하고, 제 1 STM-1 인터페이스 칩(20)은 스탠바이로, 제 2 STM-1 인터페이스 칩(21)은 액티브로 설정한다.

<39>       이렇게 되면 유포피아 인터페이스 제어부(25)는 유포피아 인터페이스 칩(27)으로부터 어드레스를 받아서 맨 첫 번째 비트를 0에서 1로 1을 0으로 인버팅(inverting) 하게 된다.

<40>       그러면, 상기 유포피아 인터페이스 칩(27)에서는 논리적으로는 0번, 2번, 3번 링크로 셀을 보내지만, 유포피아 인터페이스 제어부(25)에서 이를 제어하여 물리적으로 1번, 2번, 3번 링크로 셀을 보내게 되어 첫 번째 쌍을 구성하는 제 1, 제 2 STM-1 인터페이스 칩(20,21)에서 이중화 효과가 이루어지게 된다.

<41>       그리고 STM-1 인터페이스 칩에서 유포피아 인터페이스 칩(27)으로의 수신(Rx) 경로에서는 ATM 셀이 STM-1 인터페이스 칩을 통해 제 1 또는 제 2 버스 매칭 피포(23,24) 중 어느 하나의 버스 매칭 피포로 전송된다. 이때 특정 링크가 8비트 레지스터에 이중화 페어로 설정되어 있다면, 액티브 STM-1 인터페이스 칩에 연결된 버스 매칭 피포에 전달하고, 스탠바이(standby) STM-1 인터페이스 칩과 연결된 버스 매칭 피포에는 ATM 셀을 전달하지 않는다.

<42>       유포피아 인터페이스 칩(27)으로 들어갈 때의 어드레스 변환 방식은 송신 경로에서의 어드레스 변환 방식과 동일하다.

**【발명의 효과】**

- <43>       이상의 설명에서와 같이 본 발명은 다음과 같은 효과가 있다.
- <44>       첫째, 유토피아 레벨 2 인터페이스 칩에서 동기전송모듈 인터페이스 칩으로 데이터(ATM 셀)를 송신하는 링크를 이중화를 이용하여 구성하는 경우, 이중화 블록을 가변적으로 구성할 수 있으므로 링크를 효율적으로 관리할 수 있다.
- <45>       둘째, 동기전송모듈(STM) 인터페이스 칩에서 유토피아 레벨 2 인터페이스 칩으로의 데이터를 수신하는 경우에 버스 매칭 피포와 동기전송모듈 인터페이스 칩이 1:1 매칭되어 있으므로 이중화/싱글화 구성이 용이하고, 폐일이 발생하는 경우에도 효율적으로 대처할 수 있다.



**【특허청구범위】****【청구항 1】**

유토피아 레벨 2 인터페이스(UTOPIA Level 2 Interface)를 제공하는 유토피아 인터페이스 칩(chip)으로부터 전송된 데이터의 어드레스를 변환하여 유토피아 피포(FIFO)로 전송하고, 이중화 구성된 버스 매칭(BUS Matching) 피포 중 어느 하나의 버스 매칭 피포에서 전송된 데이터의 어드레스를 변환하여 상기 유토피아 인터페이스 칩으로 전송하는 유토피아 레벨 2 인터페이스 제어부와;

상기 유토피아 레벨 2 인터페이스 제어부에서 전송된 데이터를 유토피아 레벨 1의 데이터로 변환하여 이중화 또는 싱글화 구성된 동기전송모듈(STM) 인터페이스 칩 중 상기 어드레스 변환결과에 따른 어느 하나의 동기전송모듈 인터페이스 칩으로 전송하는 유토피아 피포와;

상기 동기전송모듈(STM) 인터페이스 칩에서 전송된 유토피아 레벨 1의 데이터를 유토피아 레벨 2 데이터로 변환하여 상기 유토피아 레벨 2 인터페이스 제어부로 전송하는 이중화된 버스 매칭 피포와;

상기 유토피아 레벨 2 인터페이스 제어부에서 변환되는 어드레스를 제어하는 프로세서로 구성됨을 특징으로 하는 동기전송모듈(STM) 포트 이중화 장치.

**【청구항 2】**

제 1 항에 있어서, 상기 유토피아 레벨 2 인터페이스 제어부는 상기 이중화 또는 싱글화 구성된 동기전송모듈 레벨 1 인터페이스 칩의 이중화 또는 싱글화 구성여부와, 이중화로 구성된 동기전송모듈 레벨 1 인터페이스 칩의 액티브/스탠

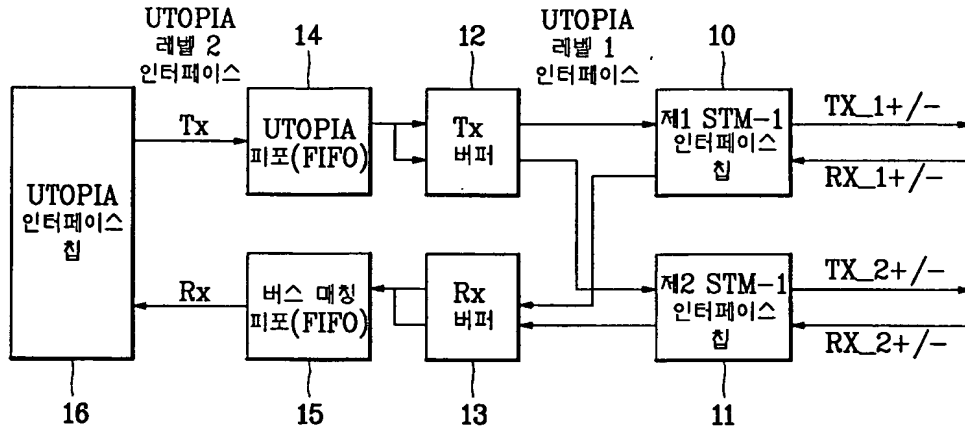
바이 여부를 결정하는 레지스터가 구성됨을 특징으로 하는 동기전송모듈 포트 이중화 장치.

**【청구항 3】**

제 1 항에 있어서, 상기 동기전송모듈 인터페이스 칩과 상기 버스 매칭 피포(FIFO)는 1대1 매칭(Matching)됨을 특징으로 하는 동기전송모듈 포트 이중화 장치.

## 【도면】

【도 1】



【도 2】

